### PATENT ABSTRACTS OF JAPAN

(11)Publication number:

09-023005

(43)Date of publication of application: 21.01.1997

(51)Int.CI.

H01L 29/78 H01L 21/336

(21)Application number: 07-170968

(71)Applicant:

MITSUBISHI ELECTRIC CORP

(22)Date of filing:

06.07.1995

(72)Inventor:

KIMURA MASATOSHI

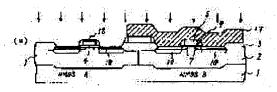
**SUGIYAMA MASAO** 

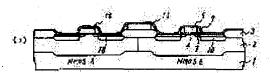
### (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

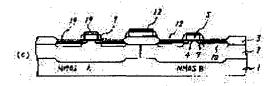
#### (57)Abstract:

PROBLEM TO BE SOLVED: To highly reliably form high-resistance areas the resistance values of which do not drop at parts of a gate electrode and source-drain areas in a semiconductor device in which silicide layers are formed on the gate electrode and source-drain areas by using a siliciding technology.

SOLUTION: After a gate electrode 5 and source-drain areas 10 are formed and N and O ions are implanted into a prescribed area by using a resist mask 17, a Ti layer 11 is deposited on the entire surface and high-resistance TixNySiz mixing layers 19 and a low-resistance TiSi2 layer 12 are respectively formed in prescribed areas on the electrode 5 and the source-drain areas 10 and on the other area by siliciding the Ti layer 11 by heat-treating the layer 11 in a self-aligning way.







### **LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(11)特許出願公開番号

特開平9-23005

(43)公開日 平成9年(1997)1月21日

		21/336	H01L 29/78	(51)IntCl.* 微別記号	
				亨 广内整理番号	
			H01L 29/78	Ħ	
3.0 1 S	301G	301L	301P	技権表示	

香香樹块 未請求 請求項の数14 OL (全16頁)

(21)出職番号 平成7年(1995)7月6日 特層平7.-170968

(22)出版日

(71) 出頭人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2番 3号

(72)発明者

**杜 編数** 

東京都千代田区丸の内二丁目2番3号 ш

(72)発明者

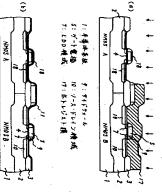
東京都千代田区丸の内二丁目2番3号 **餐館機株式金社内** ļij

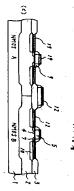
(74)代理人 弁理士 高田 守 遊館機株式会社内 (外4名)

# (54) 【発明の名称】 半導体装置およびその製造方法

た半導体装置において、上記ゲート電極 5 およびソース を信頼性良く形成する。 10上に、サリサイド技術によりシリサイド層を形成し ・ドフイン領域10の一部に危抵抗化しない高抵抗領域 ゲート電極5上およびソース・ドレイン領域

とにより、ゲート電極 5 上およびソース・ドレイン領域 堆積し、熱処理により自己整合的にシリサイド化するこ オンまたは0イオンを注入した後、全面にTi層11を 0形成後、レジストマスク17を用いて所定領域にNイ グ層19を、それ以外に低抵抗のTiSi<u>2</u>層12を形 10上で所定領域に高抵抗のTixNySizミキシン ゲート電極 5 およびソース・ドフイン領域 1





It: Tex Ny Siz : 4557 A 12 : Ti Sis A

層と、この導電層上にサリサイド技術により形成された 層で構成したことを特徴とする半導体装置。 イオンあるいはOイオンが導入された高抵抗シリサイド シリサイド層とを有し、上記シリサイド層の一部を、N 【請求項1】 半導体基板上に、シリコンから成る導電

板上の全面に金属層を堆積する工程と、上記半導体基格 程と、その後、レジストマスクを用いて所定の領域にN 装置の製造方法。 程と、を有することを特徴とする請求項1′記載の半導体 リサイド化し、その後未反応の上記金属層を除去するエ により導電層となるソース・ドレイン領域を形成するエ 電極側壁にサイドウォールを形成し、その後イオン注入 ボリシリコンから成る導電層となるゲート電極を形成 に熱処理を描すことにより上記ゲート電極上および上記 イオンまたはOイオンを注入する工程と、上記半導体基 し、イオン注入によりLDD領域を形成後、上記ゲー) 【請求項2】 単結晶シリコンから成る半導体基板に /一ス・ドワイン領域上の上記金属層を自己整合的にシ

特徴とする請求項2記載の半導体装置の製造方法。 記注入領域以外の上記ゲート電極上および上記ソース・ 記ソース・ドワイン領域上に高抵抗シリサイド層を、上 域またはロイオン注入領域の上記ゲート電極上および上 整合的にシリサイド化することにより、Nイオン注入簡 ドレイン領域上に低抵抗シリサイド層を形成することを を形成後、NイオンまたはOイオンを所定の領域に注入 し、その後全面に金属層を堆積して、熟処理により自己 [請求項3] ゲート電極およびソース・ドライン領域

形成することを特徴とする請求項2記載の半導体装置の び上記ソース・ドレイン領域上に成技式シリサイド圏を 記金属層を自己整合的にシリザイド化することにより、 サイド層を、上記注入領域以外の上記ゲート電極上およ Nイオン注入領域またはOイオン注入領域の上記ゲート Oイオンを所定の領域に注入し、その後熱処理により上 を形成後、全面に金属層を堆積した後、Nイオンまたは 鶴権上および上記ソース・ドワイン領域上に高板抗シリ [請求項4] ゲート電極およびソース・ドレイン領域

徴とする請求項2記載の半導体装置の製造方法 注入領域以外の上記ゲート電極上および上記ソース・ト またはロイオン注入領域の上記ゲート電極上および上記 を形成後、全面に金属層を堆積して熟処理により自己盟 ワイン領域上に低抵抗シリサイド層を形成することを特 ソース・ドワイン領域上に扈茲抗シリヤイド層や、 土舘 を所定の領域に注入することにより、Nイオン注入領域 合的にシリサイド化し、その後NイオンまたはOイオン 【請求項5】 ゲート電極およびソース・ドレイン領域

を形成後、上記ゲート電極上および上記ソース・ドレイ ン領域上にエピタキシャル層を選択成長させ、その後N 【請求項6】 ゲート電極およびソース・ドレイン領域

> 体装置の製造方法。 ことを特徴とする請求項 3~5のいずれかに記載の半導 イオンまたは0イオンの注入および金属層の堆積を行き

膜を除去することを特徴とする請求項4記載の半導体装 所定の領域にNイオンまたはOイオンを注入し、その後 屬を堆積し、その上の全面にH2SO4/H2O2に耐性を 置の製造方法。 上記レジストマスクの残渣除去を行い、次いで上記保部 上記レジストマスク除去後、H2SO4/H2O2を用いて 有する保護膜を形成し、吹いたレジストマスクを用いた 【請求項7】 半導体基板上の全面に金鳳層としてT

己整合的にシリサイド化じ、その後未反応の上記金属履 成領域と非形成領域とを設けることを特徴とする半導体 **ピソース・ドワイン領夷 土ご、 気荷花ツリサイ 下層の形** を除去する工程と、を有し、上記ゲート電極上および上 記半導体基板に熱処理を施すことにより上記ゲート電権 板上の所定領域に選択的に金属層を形成する工程と、上 によりLDD領域を形成後、上記ゲート電極側壁にサイ 装置の製造方法。 上および上記ソース・ドレイン領域上の上記金属層を自 ドレイン領域を形成する工程と、その後、上記半導体基 ドウォールを形成し、その後イオン注入によりソース ポリシリコンから成るゲート電極を形成し、イオン注入 【請求項8】 単結晶シリコンから成る半導体基板に、

有する保護膜を形成し、次いで、レジストマスクを用い することを特徴とする請求項8記載の半導体装置の製造 て上記半導体基板上の所定領域に選択的に金属層を形成 ッチング除去した後、上記保護膜を除去することによっ O2を用いて上記レジストマスクの残渣除去を行い、次 や、吹いた上記レジストマスク除去後、H2SO4/H2 層を堆積し、その上の全面にH<sub>2</sub>SO<sub>4</sub>/H<sub>2</sub>O<sub>2</sub>に関性を いた、上記保護膜をマスクにした下地の上記Ti層をエ て上記保護膜をエッチング除去して所定領域に残存さ [請求項9] 半導体基板上の全面に金属層としてT

を特徴とする請求項7または9記載の半導体装置の製造 【請求項10】 保護膜としてSi3N4層を用いること

成したことを特徴とする半導体装置。 シリサイド層を形成しないことにより、高抵抗領域を用 導入された高抵抗シリサイド層を形成するか、あるいは 導電層上に、上記外部ペッドへの接続の場のコンタクト たシリサイド層とを有じ、外部パッドに接続される上部 電局と、この導電圏上にサリサイド技術により形成され ホール部を囲んた環状に、NイオンあるいはOイオンが 【請求項11】 半導体基板上に、シリコンから成る導

たシリサイド層を有する半導体装置において、外部パッ ドと入力ドライバの上記ゲード電極との双方にそれぞれ -ス・ドワイン領域上にサリサイド技術により形成され 【請求項12】 - 半導体基板上のゲート電極上および> 8

特開平09-023008

特阻平09-023005

接続される出力ドライベの上記ソース・ドレイン領域上で、上記外部バッドへの接続の場のコンタクトホールAが、上記入力ドライベの上記ゲート程標への接続の活のコンタクトホールBに対して、上記コカドライベの上記ゲート程極側に配設され、上記コンタクトホールA的をサート程極側に配設され、上記コンタクトホールA的を上記コンタクトホールB的との間および周囲に、NイオージのよいはOイオンが導入された高抵抗シリサイド層を形成しないことに形成するか、あるいはシリサイド層を形成しないことに形成するか、あるいはシリサイド層を形成しないことにより、高抵抗領域を形成したことを特徴とする半導体数は、高抵抗領域を形成したことを特徴とする半導体数は、高抵抗領域を形成したことを特徴とする半導体数は

「請求項13】 半導体基板上のゲート電極上およびソース・ドレイン領域上にサリサイド技術により形成されたシリサイド圏を有する半導体装置において、外部パッド、出力ドライベの上記ゲース・ドレイン領域および入力ドライベの上記ゲート電極が、連結した配線層で順次接続され、上記出力ドライベの上記ゲート電極した配線層と接続する上記入力ドライベの上記ゲート電極上とに、NイオンあるいはOイオンが導入された高抵抗シリサイド層を形成するか、あるいはシリサイド層を形成しないことにより、高抵抗領域を形成したことを特徴とする半導体装置。

【請求項1.4】 請求項1.2または1.3に係る半導体装置であって、NイオンあるいはOイオンが導入された高度が抗プリサイド層が形成される場合において、上記高抵抗プリサイド層をソース・ドレイン領域とフィールド絶抗プリサイド層をソース・ドレイン領域とフィールド絶縁順との境界部近傍には形成しないことを特徴とする半導体装置。

## 【発明の詳細な説明】

## [1000]

【産業上の利用分野】この発明は、半導体装置に関し、特にサリサイド(SALICIDE:Self Aligned Silicide)技術を用いた半導体集積回路装置に関するものである。 【0002】

【従来の技術】LS1の高集積化に伴って、コンタクト 抵抗の氏減や、氏抵抗なゲート、ソース・ドレイン等の 館極形成のため、ジリサイド層を自己整合的にシリコン 上に形成するサリサイド技術は、近年氏人用いられている。サリサイド技術を用いた北導体装置の製造方法を N MOSトランジスタについて適用したものを図10~の サリサイド技術を用いた北導体装置の製造方法を N MOSトランジスタについて適用したものを図10~回 N を用いて以下に説明する。ず、P 型の単結晶シリコンから成る半導体基板1(以下、基板1と称す)にP 型ウェル領域2(以下、Pウェル2と称す)を形成し、LOCOS法を用いて分離用フィールド絶談額3を形成に後、全面にゲート酸化膜4を形成する。その後、全面にドープトポリシリコン膜(あるいはドープトアモルファンジコン膜)5 a を堆積した後、全面にホトレジスト膜6 を形成後ホトリングラフィ技術によりパターニング する(図10)。

【0.0 0.3】次に、ホトレジストパターン6をマスクに

して、下地のドープトポリシリコン膜5 aをエッチングして導電圏となるゲート電極5を形成する(図11)。次に、ホトレジスト膜6を除去した後(図12)、N-型LDD領域7形成のため、斜め回転イオン住入法によりAsまたはP等の不純物を基板1上から注入する(図13)。次に、全面にTEOS膜8を約0.05~0.2μmの膜厚に堆積した後(図14)、異方性ドライエッチングにより全面エッチンタして、ゲート電極5個壁にサイドウォール9を形成する(図15)。次に、導電圏となるN+型ソース・ドレイン領域10形成のため、イオン往入法によりAsまたはP等の不純物を基板1上から往入する(図16)。

【0004】この後、サリサイド技術を用いて、シリサイド層をゲート電極5上およびソース・ドレイン領域10上に形成する方法を以下に示す。上記の様にソース・ドレイン領域10上の大力に表す。上記の様にソース・ドレイン領域10上の全面に金属層としての丁・層11を、例えばスパッ分法により堆積する。(図17)。その後、基板1にランプアニール等の熟処理を施すことにより、シリコン上の丁・層11と下地のシリコンとを反応させ伝統抗シリサイド層としての丁・宮・12層12に変成させる。この後、未反応の丁・層11をH2の2等の溶液を用いて除去する。これによりシリコン上、すなわち、ゲート電極5上およびソース・ドレイン領域10上にのみTiSig图12が当日ご整合的に形成される(図18)。この後、層間絶壊領および電極配線層の形式を行い、所定の処理を施して、MMOSトランジスタを完成する(図示せず)。

【0006】このため、サリサイド技術を用いてLSIを製造する際、入出力保護回路を構成するトランジスタにおいては、選択的に抵抵抗なシリサイド圏を形成しない方法が考案されている。例えばUSP502185号公報に示される半導体装置の製造方法を図20に基づいて以下に示す。まず、図10~図13で示した同様のいて以下に示す。まず、図10~図13で示した同様の方法により、ゲート電極5形成後N-型LDD領域7を形成する。その後全面にTEOS概8を堆積後、レジス形成する。その後全面にTEOS概8を堆積後、レジストマスクを用いて異方性ドライエッチングにより選択的

にエッチングをすることにより、NMOSトランジスタ A額域となる額域上にTEOS膜8 a を残存させ、NMOSトランジスタ B額域となる額域のゲート電極5回螺にサイドウォール9を形成する(図20(a))。
【0007】次に、N\*型ソース・ドレイン額域10形成のため、イオン注入法によりAsまたはP等の不純物を基板1上から注入する(図20(b))。この後、全面にTi圏11を例えばスパッタ法により権限した後、ランプアニール等の製処理を施してシリコン上のTi圏11をTiSi2圏12に変成させ、その後未反応のTi圏11を除去する。これによりTEOS膜8 a が形成されたNMOSトランジスタA筋域にはTiSi2圏12は形成されず、NMOSトランジスタBのゲート砲極2は形成されず、NMOSトランジスタBのゲート砲極

【0008】この様にして、同一基板1上で、サリサイド技術を用いて成板式シリサイド圏を形成する際に、選択的に成成式シリサイド圏を形成しない領域を製造する。しかしながら、上記の様な製造方法では、ソース・ドレイン領域10形成のためのイオン住入の際、NMOSトランジスタBではTEOS膜8が除去された基板1シリコン上からの注入である。このためNMOSトランジスタBではTEOS膜8が除去された基板1シリコン上からの注入である。このためNMOSトランジスタAとNMOSトランジスタBとでは、ソース・ドレイン領域10の不純物分布が異なってしまう。余分なイオン注入工程を適対する時によって上記ソース・ドレイン領域10の不純物分布を揃えることは可能であるが、工程が緊禁になるものである。

領域上に第2のTEOS膜14aを残存させ、NMOS エッチングをすることにより、NMOSトランジスタA 膜14を堆積し (図21 (a))、その上の全面にホー イドウォール9が形成されているため、第2のサイドウ イドウォール16を形成する。ゲート電極5には既にサ スクにして、異方性ドライエッチングにより、選択的に イン領域10を形成する。次に、全面に第2のTEOS イドウォール9を形成し、その後、N+型ソース・ドレ 全面にTEOS膜8を堆積後、全面エッチバックしても り、ゲート電極5形成後N-型LDD領域7を形成し、 す。まず、図10~図16で示したと同様の方法によ る半導体装置の製造方法を図21に基づいて以下に示 トランジスタB領域においてはダート電極5に第2のサ パターコングする。このホテレジステパターン 1 5をゃ レジスト膜15を形成後、ホトリソグラフィ技術により 【0009】この様な問題点を改善する従来の別例に。 ォール16はサイドウォール9の外側に形成される

【0010】その後、ホトレジスト膜15を除去した後(図21(c))、全面にT;圏11を例えばスパッタ(図21(c))、ランプアニール法により堆積した後(図21(d))、ランプアニール等の繋処理を施してシリコン上のT;圏11をT;S;

2图12に変成させ、その後未反応の丁 i 層11を除去する。これにより第2の丁EOS膜14 a が形成されたNMOSトランジスタ A 領域には丁 i S i 2層12は形成されず、NMOSトランジスタ Bのゲート電極5上およびソース・ドレイン領域10上に、選択的に丁 i S i 2層12が形成される(図21(e))。

[0011

【発明が解決しようとする課題】しかじながら上記の像に、ソース・ドレイン領域10形成後に、第2のTEOS膜14aをマスクとしてサリサイド技術を用いると、上述した様なソース・ドレイン領域10の不純物分布が異なる問題は解消されるが、第2のTEOS膜14aをバターニングする際、第2のサイドウォール16がゲート確極5側壁に形成されてしまう。このためNMOSトーでは極5側壁に形成されてしまう。このためNMOSトーで15~2回12の面積が第2のサイドウォール16の分だけ減少してしまい、ソース・ドレイン間においては第2のサイドウォール16下層の拡映圏抵抗が直列抵抗策2のサイドウォール16下層の拡映圏抵抗が直列抵抗となり、業子の動作速度が劣化するものであった。

5 上およびソース・ドワイン飯製10上に、選択的に1

iSi2圏12が形成される(図20 (c))。

## [0013]

【課題を解決するための手段】この発明の請求項1に係る半導体装置は、半導体基板上に、シリコンから成る導電層と、この導電層上にサリサイド技術により形成されたシリサイド層とを有し、上記シリサイド層の一部を、NイオンあるいはOイオンが導入された高抵抗シリサイド層で構成したものである。

【0014】この発明の請求項2に係る半導体装置の製造方法は、単結晶シリコンから成る半導体基板に、ボリシリコンから成る場面をたるゲート電極を形成し、ベリコンから成る導電圏となるゲート電極を形成し、インは入により、DD関域を形成後、上記ゲート電極回監にサイドウォールを形成し、その後、上記ゲート電板によっ、準値圏となるゾース・ドレイン領域を形成する工程と、上記半導体基板上の全面に金属圏を推奨する工程と、上記半導体基板に製処・全面に金属圏を推奨する工程と、上記半導体基板に製処・理を施すことにより上記ゲート電板上および上記ソース理を施すことにより上記ゲート電板上および上記ソース・ドレイン領域上の上記金属圏を除去する工程と、ドルイン領域上の上記金属圏を除去する工程と、ドルイン領域上の上記金属圏を除去する工程と、ドルイン領域上の上記金属圏を除去する工程と、ドルイン領域上の上記金属圏を除去する工程と、その後未反応の上記金属圏を除去する工程と、その後未反応の上記金属圏を除去する工程と、その後来反応の上記金属圏を除去する工程と、その後来反応の上記金属圏を除去する工程と、その後来反応の上記金属圏を除去する工程と、その後来反応の上記金属圏を除去する工程と、その後来反応の上記金属圏を除去する工程と、そのするものである。

特開平09-023005

ル層の厚みの分だけ高い位置に形成されることになり、

【0015】この発明の請求項3に係る半導体装置の製造方法は、ゲート電極およびソース・ドレイン領域を形成後、NイオンまたはOイオンを所定の領域に注入し、その後全面に金属層を堆積して、熱処理により自己整合的にシリサイド化することにより、Nイオン注入領域またはOイオン注入領域力上記ゲート電極上および上記ソース・ドレイン領域上に高抵抗シリサイド層を、上記注入領域以外の上記ゲート電極上および上記ソース・ドレイン領域上に成抵抗シリサイド層を形成するものである。

【0016】この発明の講求項4に係る半導体装置の製造方法は、ゲート電極およびソース・ドレイン領域を形成後、全面に金属層を堆積した後、NイオンまたはOイオンを所定の領域に注入し、その後熱処理により上記金属層を自己整合的にシリサイド化することにより、Nイオン注入領域またはOイオン注入領域の上記ゲート電極上および上記ソース・ドレイン領域上に高抵抗シリサイド層を、上記注入領域以外の上記ゲート電極上および上記ソース・ドレイン領域上に高抵抗シリサイド層を、た記注入領域以外の上記ゲート電極上および上記ソース・ドレイン領域上に低抵抗シリサイド層を形成するものである。

【10017】この発明の請求項5に係る半導体接臘の製造方法は、ゲード電極およびソース・ドレイン領域を形成後、全面に金属圏を推積して製処理により自己敷合的にシリサイド化し、その後Nイオンまたはのイオンを所任の領域に往入することにより、Nイオン注入領域またはのイオン在入領域とに高極抗シリサイド圏を、上記在入領域以外の上記ゲート電極上および上記ソース・ドレイン領域上に成極抗シリサイド圏を形成するものである。
「2018】この発明の請求項6に係る半導体装置の製造方法は、ゲート電極上および上記ソース・ドレイン領域を形成後、上記ゲート電極上および上記ソース・ドレイン領域を形成後、上記ゲート電極上および上記ソース・ドレイン領域を形成後、上記ゲート電極上および上記ソース・ドレイン領域を形成後、上記ゲート電極上および上記ソース・ドレイン領域を形成後、上記ゲート電極上および上記ソース・ドレイン領域を形成分(10018)。

【0019】この発明の請求項7に係る半導体装置の製造方法は、半導体基板上の全面に金風層としてT:層を推譲し、その上の全面に出2SO4/H2O2に耐性を有する保護膜を形成し、次いでレジストマスクを用いて所定の領域にNイオンまたはOイオンを往入し、その後上記レジストマスク除去後、H2SO4/H2O2を用いて上記レジストマスクの残瘡除去を行い、次いで上記保護膜を除去するものである。

【0020】この発明の誤求項8に係る半導体装置の製造方法は、単結晶シリコンから成る半導体基板に、ボリシリコンから成るゲート電極を形成し、イオン注入によりLD関域を形成後、上記ゲート電極側壁にサイドウ オールを形成し、その後イオン注入によりソース・ドレイン領域を形成する工程と、その後、上記半導体基板上の所定領域に選択的に金属層を形成する工程と、上記半

導体基板に熱処理を施すことにより上記ゲート電極上および上記ソース・ドレイン領域上の上記金属圏を自己職合的にシリサイド化し、その後未反応の上記金属層を除去する工程と、を有し、上記ゲート電極上および上記ソース・ドレイン領域上に、成抵抗シリサイド圏の形成領域と非形成領域とを設けるものである。

【002·1】この発明の請求項9に係る半導体数層の製造方法は、半導体基板上の全面に金属層としてT:層を連接し、その上の全面にH2SO4/H2O2に戦性を有する保護機を形成し、次いで、レジストマスクを用いて上記保護機を形成し、次いで、レジストマスクを出いて記記保護機を形成し、次いで、上のタイト2O2を用いて上記レジストマスクの残益除土を行い、次いで、上記に注記レジストマスクの残益除土を行い、次いで、上記に工記がストマスクの残益除土を行い、次いで、上記に工記をマスクにして下地の上記T:層をエッチング除土した後、上記保護機を除去することによって上記半導体基板上の所定領域に選択的に金属層を形成するものである。

【0022】この発明の請求項10に係る半導体装置の 製造方法は、保護概としてS:3N4層を用いるものである。

【0023】この発明の請求項:1に係る半導体装置は、半導体基板上に、シリコンから成る導電層と、この 導電層上にサリサイド技術により形成されたシリサイド 層とを有し、外部パッドに接続される上記導電層上に、 上記外部パッドへの接続の為のコンタクトホール部を囲 んで環状に、NイオンあるいはOイオンが導入された商 抵抗シリサイド層を形成するか、あるいはシリサイド層 を形成しないことにより、高抵抗領域を形成したものである。

【0024】この発明の請求項12に係る半導体装置に、外部ペッドと入力ドライベのゲート電極との双方にそれぞれ接続される出力ドライベのゲート電極との収力にそれぞれ接続される出力ドライベのゲート電極への接続の場のコンタクトホールAが、上記入力ドライバの上記ゲート電極への接続の場のコンタクトホールBに対して、上記出力ドライベの上記ゲート電極関に配設され、上記コンタクトホールA的を上記コンタクトホールB的との問および周囲に、Uのイオンが導入された高抵抗シリサイドをおいまついまったが導入された高抵抗シリサイドを形成するか、あるいはシリサイドを形成するか、あるいはシリサイドを形成するか、あるいはシリサイドを形成するか、あるいはシリナイドを多形成しないことにより、高抵抗領域を形成したものである。

【0025】この発明の請求項13に係る半導体装置は、外部ペッド、出力ドライベのソース・ドレイン質域、および入力ドライベのゲート電機が、連結した配象層で順次接続され、上記出力ドライベの上記ソース・ドレイン質域上における上記記券のロンタクトホール部の周囲と、上記配象層と接続する上記入力ドライベのオンが導入された高抵抗シリオイド層を形成するか、高抵抗領域を形成レナイドのを形成しないことにより、高抵抗領域を形成したとにより、高抵抗領域を形成

【0026】この発明の請求項14に係る半導体装置は、高枢抗シリサイド圏をソース・ドレイン衝域とフィールド絶縁膜との境界部近傍には形成しないものである。

[0.027]

【作用】この発明による半導体装置は、サリサイド技術により半導体基板上に形成されたシリサイド層の一部を、NイオンあるいはOイオンが導入された高抵抗シリサイド層で構成したものである。すなわち半導体基板上のシリコンから成る導電層上に、低抵抗シリサイド層領域と高抵抗シリサイド領域との双方が形成される。これにより、例えば入出力保護回路等、用途により低抵抗化が不適当な導電層上には、高抵抗シリサイド層が形成でき、回路設計上の自由度が向上し、信頼性の高い半導体装置が得られる。

[0028]また、この発明による半導体装置の製造方法は、ゲート電極およびソース・ドレイン領域を形成後、サリサイド技術によりシリサイド圏形成工程とレジストマスクを用いて所定領域にNイオンまたはOイオンを注入する工程とを行う。このため、Nイオン(またはOイオンの領域では低抵抗シリサイド圏が形成され、上記の様な回路設計上の自由度が向上し、信頼性の高い半導体装置が容易に製造できる。また、Nイオン(またはOイオン)注入領域とそれ以外の領域でソース・ドレイン領域の不純物分布が異なることはなく、低抵抗シリサイド圏の面観が、余分なサイドウォールの為に減少して抵抗を増大させることもなく、高速でさらに信頼性の高い半導体装置が得られる。

【0029】また、二の発明によると、ゲート電極およびソース・ドレイン領域を形成後、NイオンまたはOイオンを所定領域に注入後、金鳳層を堆積してシリサイド化させるため、金鳳層堆積後にNイオン(またはOイオン)の注入を行う場合の様に、金鳳原子がPN接合近辺にまて深へ達することはなく、接合リーク等の信頼性の劣化が防止できる。

【0030】また、この発明によると、金鳳圏を堆積した後、NイオンまたはOイオンを所定領域に注入し、その後金鳳圏をシリサイド化させるため、Nイオン(またはOイオン)は金鳳圏上から注入され、半導体基板に深く拡張するのが防止されるので、紫子のホットキャリア母柱の変動が抑制される。

【0031】また、この発明によると、全面に形成した金属層を自己整合的にシリサイド化させた後、NイオンまたはOイオンを所定領域に注入するため、マスタ工程以降の工程数が減少し製造の効率が向上する。

【0032】また、この発明によると、ゲート電極上およびソース・ドレイン領域上にエピタキシャル層を選択成長させ、その後NイオンまたはOイオンの注入および金鳳層の堆積を行うため、シリサイド層はエピタキシャ

【0034】また、この発明による半導体装置の製造方法は、ゲート電極およびソース・ドレイン領域を形成後、金属圏を所定額域に選択的に形成して、この金属圏をシリサイド化させることにより、ゲート電極上およびソース・ドレイン領域とおび流域とを設ける。これにより、均えは入出領域と非形成領域とを設ける。これにより、均えは入出力保護回路等、用途により成抵抗(少りサイド超の形成領域とを設ける。これにより、均えは入出力保護回路等、用途により成抵抗(かが不適当なゲート電極上およびソース・ドレイン領域上は、抵抵抗シリサイド圏の非形成領域とすることが容易にでき、の自田度が向上し、信頼性の高い半導体装置が容易に製造できる。また、区抵抗シリサイド圏の形成領域と不能物分成領域とで従来の様にソース・ドレイン領域の不純物分成領域とで従来の様にソース・ドレイン領域の不純物分布が異なることなく、低抵抗シリサイド圏の面積が、余分なサイドウォールの為に減少して抵抗を増大させることもなく、高速でさらに信頼性の高い半導体装置が得られる。

【0035】また、この発明によると、金鳳層に丁:層を用い、この丁:層上にH2SO4/H2O2に副性を有する保護膜を形成し、この保護膜をレジストマスクを用いてパターニングした後レジストマスクをその残瘡除去にてパターニングした後レジストマスクをその残瘡除去にH2SO4/H2O2を用いて除去し、残存した上記保護膜をマスクにして丁:層をエッチングすることにより、丁:層を所定領域に避缺的に形成する。このためレジストマスク除去時に、後工程で残存させる丁:層は保護膜で関われておりH2SO4/H2O2に囲されて侵されることはない。この様にレジストマスク除去にH2SO4/H2O2を用いる場合でも、丁;の低低抗シリサイド層を信頼性良く形成することが可能となる。

【0036】また、この発明によると、保護職としてS;3N4関を用いるため、上述した様な保護際による効果を確実に容易に実現できる。

【0037】また、この発明による半導体装置は、外部バッドに接続される導電圏上に、外部バッドへの接続の 為のコンタクトホール部を囲んで環状に、Nイオンある いはOイオンが導入された高抵抗シリサイド層を形成す

特開平09-023005

るか、あるいはシリサイド層を形成しないことにより、高抵抗額域を形成したため、外部パッドから入力されるサージが接合破壊を起こし易いソース・ドレイン領域(導電圈)のコーナーや内部回路に到達して悪影響を与えるのが防止できる。このためサージによる接合破壊が防止され、サージに対する入力保護機能も向上する。

の為のコンタクトホールBに対してゲード電極側に配設 続の為のコンタクトホールAを、入力ドライバへの接続 域のコーナー、および入力ドライバのゲート電極に到達 部パッドから入力されたサージが、ソース・ドワイン領 か、あるいはシリサイド層を形成しないことにより、高 Oイオンが導入された高抵抗シリサイド層を形成する クトホールB部との間および周囲に、Nイオンあるいは アイバのソース・ドワイン領域上で、外部パッドへの協 サージに対する入力保護機能も向上する。また、出力ド するのが防止され、サージによる複合破壊が防止され、 抵抗領域を形成した。この高抵抗領域の形成により、外 が、入力ドライバのゲート電極への接続の為のコンタク おいて、外国パッドへの嵌続の端のコンタクトホールA したため、出力信号の遅延を低減できる。 ート電極側に配設され、コンタクトホールA部とコンタ ドボール 8 に対して、同一ソース・ドワイン領域内なみ 【0038】また、この発明によると、出力ドライバに

【0039】また、この発明によると連結した配線層で外部パッド、出力ドライバのソース・ドレイン譲換、おけび入力ドライバのゲート電極が順次接続されたため、出力ドライベのゲート電極が順次接続されたため、出力ドライベのソース・ドレイン領域上で、外部パッドへの接続の総のコンタクトボールは、入力ドライバッドへの接続の総のコンタクトボールと共通となり、ソース・ドレイン領域の回路が低減でき、接合発盤も削減できる。また、ソース・ドレイン領域上の外部パッドへの接続の総のコンタクトボール時周囲、および配数層と接続する入力ドライバのゲートにあれたサージが域を形成したため、外部パッドから入力されたサージがメース・ドレイン領域のコーナー、および入力ドライバに到達するのが防止され、接合接機の防止および入力深機機能で向に上が図れる。

【0040】また、この発明によると、NイオンあるとはOイオンが導入された高板ボシリサイド層を、ソースはOイオンが導入された高板ボシリサイド層を、ソースは下イオンの領域上でフィールド路線膜が成時のバースには形成しないため、フィールド路線膜が成時のバースに一つにより薄い酸に繋が形成されている上記境界部近底に、Nイギン(またはOイギン)を注入して損傷を与えて接合リーク等の劣化を生じさせるのを防止する。

### 【実施例】

6

実施例1...以下、二の発明の一実施例を図について説明する。なお、従来の技術と重複する箇所は、適宜その誤明を省略する。図1はこの発明の実施例1による半導体現を省略する。図1はこの発明の実施例1による半導体接脛の構造および製造方法を示す斯面図である。まず、

図10~図16で示した従来のものと同様の方法で、ゲート電極5形成時、N-型LDD領域7を形成し、全面にTEOS機8を基績後、全面エッチバックしてサイドウォール9を形成し、その後、N<sup>+</sup>型ソース・ドレイン領域10を形成する。

【10042】次に、全面にレジストマスクとなるホトレジスト膜17を形成後、ホトリングラフィ技術を用いて パターニングする。このホトレジストパターン17をマスクにして、基板1上からイオン注入法によりNイオン (または0イオン)を、例えば注入エネルギー:20KeV~90KeV、注入量:4日15~5日16ions/cm²で注入する。これにより、NMOSトランジスタA額域におけるゲート電極5およびソース・ドレイン領域10にNイオン(または0イオン)注入シリコン層18が形成される(図1(a))。次に、ホトレジスト膜17を除去後、前工程のイオン注入による損傷の修復および拡散のために、必要であれば基板1にランプアニール等の熱処理を施し、その後、全面にTi層11を例えばスパッタ法により堆積する(図1(b))。

の処理を施して半導体装置を完成する(図示せず)。 娘では低抵抗シリサイド層としてのT i S i 2層 1 2 用いて除去する。これによりゲート電極5上およびソー の後、層間絶縁膜および電極配線層の形成を行い、所定 z) ミキシング層19が形成される (図1 (c))。こ 圏としてのTixNySiz (またはTixOySi が、NMOSトランジスタA領域では危疫抗シリキイド ス・ドレイン領域10上に、NMOSトランジスタB領 後、未反応のT i 層 1 1 をH<sub>2</sub>S O<sub>4</sub> / H<sub>2</sub>O<sub>2</sub>等の溶液を のTi層11がTiSi2層12に変成される。この 成され、NMOSトランジスタB領域では、シリコン上 はTixOySiz)で表されるミキシング層19に変 リコン層18上のTi層11がTixNySiz (また 反応させシリサイド化する。このとき、NMOSトラン **外掲した、ツション上のFi쪰11を下毛のシリョンと** ジスタA領域では、Nイオン(またはOイオン)注入シ 【0043】次に、基板1にランプアニール等の熱処理

【0044】上記実施例1で形成されるTixNySiz(またはTixOySiz)ミキシング圏19はTiSi2層12に比べ格段と高板抗なシリサイド層であることが判っている。すなわち、上記実施例1では、サリサイド技術を用いる前に選択的にNMOSトランジスタA領域にNイオン(またはOイオン)を注入することによって、このイオン注入領域(NMOSトランジスタA領域)におけるゲート電極5上およびソース・ドレイン領域10上に高抵抗なTixNySiz(またはTixOySiz)ミキシング圏19を、それ以外(NMOSトランジスタB領域)のゲート電極5上およびソース・ドレイン領域10上に高抵抗なTixNySiz(またはTixOySiz)ミキシング圏19を、それ以外(NMOSトランジスタB領域)のゲート電極5上およびソース・ドレイン領域10上に低抵抗なTiSi2圏12を形成するものである。

【0045】このため、低抵抗なTiSi2層12形成

領域と高抵抗なTixNySiz(またはTixOySiz(またはTixOySiz)、キャング圏19形成領域とを同一基板1上に選択的に容易に形成できる。また、これら2つの形成領域状的に容易に形成できる。また、これら2つの形成領域状的に容易に形成できる。また、これら2つの形成領域においてソース・ドレイン領域10上のTiSigを12の回復が従来・ドレイン領域10上のTiSigを12の回復が従来の保に減少することもない。また、Ti圏11を形成する所に、Nイオン(またはOイオン)の注入を行っているため、Ti原子がノックオンされてPN接合近辺に適ちることはなく、接合リーク等信頼性の劣化が防止できまた。ことはなく、接合リーク等信頼性の劣化が防止できまた。

【0046】なお、NイオンまたはOイオンの注入はN2イオンやO2イオンでも良く、本男細聾ではNイオンまたはOイオンはN2イオン、O2イオンをも含むものとすたはOイオンはN2イオン、O2イオンをも含むものとする。また、NイオンまたはOイオンの注入条件は、TiSi2層12の模厚や抵抗値の設定値によって異なるも、のである。

の後未反応のT:層11、20をH<sub>2</sub>SO<sub>4</sub>/H<sub>2</sub>O<sub>2</sub>等の 施例1と同様の処理を施して半導体装置は完成する。 溶液を用いて除去する(図2(d))。この後、上記実 では、Ti層11がTiSi2層12に変成される。ニ シング層19に変成され、NMOSトランジスタB領域 OがTixNySiz (またはTixOySiz) ミキ A領域では、Nイオン(またはOイオン)注入Ti層2 セシリサイド化する。このとき、NMOSトランジスタ 施して、シリコン上のTi屬11およびNイオン(また SトランジスタA領域におけるTi層11にNイオン ン(またはOイオン)を注入する。これにより、NMO マスクにして、基板1上からイオン注入法によりNイオ ホトレジスト膜17を形成し、ホトリングラフィ技術に パッタ法により堆積する(図2 (a))。次に、全面に 域10を形成する。次に、全面にTi層11を例えばス 積後、全面エッチバックしてN+型ソース・ドレイン領 N-型LDD領域7を形成し、全面にTEOS膜8を堆 した従来のものと同様の方法で、ゲート電極5形成後、 造方法を示す断面図である。まず、図10~図16で示 示す。図2はこの発明の実施例2による半導体装置の製 置の他の製造方法について、以下実施例2~実施例5に は0イオン)注入Ti層20を下地のシリコンと反応さ オン) 注入Ti層20が形成される(図2(b))。 よりパターン化する。このホトレジストパターン1 7を 【0047】実施例2. 上記実施例1で示した半導体装 (図2 (c))、 基板1にランプアニール等の熱処理を 【0048】次に、ホトレジスト膜17を除去した後 (またはOイオン)が注入され、Nイオン(またはOイ

【0049】上記実施例2においても上記実施例1と同様に、低抵抗なTiSi2層12形成領域と高抵抗なTixNySiz(またはTixOySiz)ミキシング層19形成領域とを同一基板1上に選択的に容易に形成できる。またこれら2つの形成領域においてソース・ド

レイン領域10の不純物分布は同じであり、また下iSi2圏12形成領域におけるソース・ドレイン領域10上のTiSi2圏12の面積が従来の様に減少することはない。また、上記実施例2では、Nイオン(またはOイオン)をTi圏11形成後に注入するため、基板1に深へ拡散するのが防止され、素子のホットキャリテ原性の変動が抑制される。

【0050】実施例3、次に、この発明の実施例3による半導体鉄度の製造方法を図3に基づいて以下に示す。まず、図10~図16で示した従来のものと同様の方法で、ゲート電極5形成後、N-型LDD領域7を形成し、全面にTEOS膜8を堆模後、全面エッチバックしてN\*型ソース・ドレイン領域10を形成する。次に、全面にTi図11を例えばスペッタ法により境積した後(図3(a))、基板1にランプアニール等の熱処理を施してシリコン上のTi図11をシリサイド化させてTiSi2图12に変成させた後、未反応のTi図11を

(b))。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(005)。
(

【0052】この実施例でも、低抵抗なTiSi2图12形成額域と高抵抗なTixNySiz(またはTixOySiz)ミキシング图19形成額域とを同一基板1上に避択的に容易に形成できる。またこれら2つの形成額域において、ソース・ドレイン領域10の不純物分布は同じであり、またTiSi2图12形成領域におけるソース・ドレイン領域10上でTiSi2图12形成領域におけるサース・ドレイン領域10上でTiSi2图12形成領域におけるが従来の様に成めすることにTiSi2图12を形成して接続によりシリコン上にTiSi2图12を形成して接続によりシリコン上にTiSi2图12を形成して接、避択的にTiSi2图12の一部をTixNySiz(達たはTixOySiz)ミキシング图19に変減させるため、TiSi2图12形成策でをマスタ工程で処理でき、その後TixNySiz(またはTixOySiz)に対しまが成分し製が最近ので必要が同じする。

【0053】なお、Nイオン(またはOイオン) 注入後

特開平09-023005

(a) の五カドアイベニおさるフィアウトパターン図片

Ē

の熟処理は、層間絶縁膜形成時のリフロー等と兼ねて行っても良い。

【0054】実施例4、次に、この発明の実施例4による半導体装置の製造方法を図4に基づいて以下に示す。まず、図10~図16で示した従来のものと同様の方法を、2010~図16で示した従来のものと同様の方法で、ゲート電極5形成後、N-型LDD領域7を形成し、全面にTEOS護8を堆模後全面エッチバックしてN+型ソース・ドレイン領域10を形成する。次に、ゲート電極5上およびソース・ドレイン領域10上に、シリコンのエピタキシャル層を選択成長させエピタキシャル層としてのエピ遊択成長層22を形成する(図4

(a))。次に、全面にホトレジスト膜17を形成し、ホトリングラフィ技術によりパターン化する。このホトレジストペターン17をマスクにして、基板1上からイオン注入法により、Nイオン(またはOイオン)を注入する。これによりNMOSトランジスタA領域のエビ選択成長層22にNイオン(またはOイオン)が注入され、Nイオン(またはOイオン)注入エビ選択成長層23が形成される(図4(b))。

【0055】次に、ホトレジスト膜17を除去した後、前工程のイオン注入による損傷の修復および拡散のために、必要であれば基板1にランプアニール等の熱処理を施す。その後、上記実施例1と同様の方法で、T:層11を形成した後(図4(c))、熱処理によりシリサイド化し、未反応のT:層11を除去する。これにより、NMOSトランジスタA領域では、Nイオン(または0イオン)注入エピ選択成長層23上のTi層11がTi×NySiz(またはTi×OySiz)、キシング層19に変成され、NMOSトランジスタB領域では、エピ選択成長層22上のTi層11がTiSig層12に変成される(図4(d))。この後、上記実施例1と同要成される(図4(d))。この後、上記実施例1と同様の処理を施して半導体装置は完成する。

【0056】上記実施例4では、ソース・ドレイン領域10形成後、エピ選択成長圏22を形成し、そのシリコンを用いて、更に上層に形成されたTi圏11をシリサムド化する。このため、シリサイド圏12、19はエビ選択成長圏22の厚みの分だけ高い位置に形成される。このため予めソース・ドレイン領域10を浅へ形成でき、接合容量を低減できる。

【0-057】なお、上記実施例4では、エピ選択成長圏22にNイオン(またはOイオン)を注入したが、上記実施例2または上記実施例3で示した様に、Ti層11形成後、あるいはTiSi2層12形成後にNイオン(またはOイオン)の注入を行っても良い。

【0058】また、上記実施例1~4では、金属層としてTi쪰11を用いてシリサイド代させているが、W、Ni、Co等、他の高融点金属または準費金属でシリサイド化が可能なものであれば良い。

【0059】実施例5.次に、この発明の実施例5による半導体装置の製造方法を図5に基づいて以下に示す。

上記実施例2と同様に丁:層110形成までを行った後、丁:層11上の全面に保護機としてのSi3N4層24を推接する(図5(a))。次に、全面にホトレジスト膜17を形成し、ホトリングラフィ技術によりパターン化する。このホトレジストパターン17をマスクにして、基板1上からイオン往入法によりNイオン(またはOイオン)をSi3N4層2·4を介してTi層20が形成される(図5(b))。

【0060】次に、ホトレジスト膜17をアッシャー等により除去し、更にホトレジスト膜17の残瘡をH2SO4/H2O2を用いて除去する(図5 (c))。次に、H3PO4等を用いてSi3N4層24を除去した後、上記実施例2と同様に、基板1にランプアニール等の熱処理を施した後、未反応のTi層11、20をH2SO4/H2O2等の溶液を用いて除去する(図5 (d))。

反応のTi磨11、20除去にも用いる容液であり、T O4/H2O2を用いる場合でも、信頼性良くTiのシリ 防止できる。このためホトレジスト膜17除去にH2S H<sub>2</sub>O<sub>2</sub>に晒されることがなくTi層11、20の侵食が ジスト膜17除去時に、T i 層11、20がH2SO4/ H<sub>2</sub>SO<sub>4</sub>/H<sub>2</sub>O<sub>2</sub>を用いる。このH<sub>2</sub>SO<sub>4</sub>/H<sub>2</sub>O<sub>2</sub>は未 種類により、残渣除去する際、上記実施例5に示す様に より除去する方法が一般的であるが、ホトレジスト膜の 除去はアッシャー等で行った後、残瘡をウェット処理に 4を除去したものである。ところで、ホトレジスト膜の 4を形成し、ホトレジスト膜17除去後にSi3N4層2 スト膜17形成前にT;層11上の全面にS;3N4層2 サイド層12、19を形成することがたまる。 1-11上の全面にSi3N4層24を形成するため、ホトレ イオン (または0イオン) の注入マスクとなるホトレジ i 層 1 1を侵すものである。上記実施例 5 では、Ti層 【0061】上記実施例5は、上記実施例2におけるN

【0062】なお、保護帳としては、H2SO4/H2O2に対して耐性を有し、形成および除去が容易である他の対数を用いても負い。

【0063】実施例6、次に、この発明の実施例6による半導体装置の構造および製造方法を図6に基づいて以下に示す。まず、図10~図16で示した従来のものと同様の方法で、ゲート電極5形成後、N<sup>-</sup>型LDD領域7を形成し、全面にTEOS顧8を推積後、全面エッチベックしてN<sup>+</sup>型ソース・ドレイン領域10を形成する。次に、全面にTi層11を例えばスパッタ法により推積した後、さらにその上の全面にSi3N4層24を推積する(図6(a))。次に、全面にホトレジスト膜17を形成し、ホトリングラフィー技術によりパターン化する。このホトレジストパターン17をマスクにして、下地のSi3N4層24をエッチング除去しNMOSトランジスタB領域にのみSi3N4層24aを残存させる(図6(b))。。

【0064】次に、ホトレジスト膜17をアッシャー等により除去し、更にホトレジスト膜17の残渣をH2SQを用いて除去する。続いてSi3N4層24aをマスクにして下地のTi層11をエッチング除去し、NMOSトランジスタB領域にのみTi層11aを残存させる(図6(c))。次に、H3PO4を用いてSi3N4層24aを除去した後(図6(d))、基板1にランプアニール等の熟処理を施してシリコン上のTi層11aをTiSi2層12に変成させ、その後未反応のTi層11aをH2SO4/H2O2等の溶液を用いて除去する(図6(e))。この後、上記実施例1と同様の処理を施して半導体装置は完成する。

【0065】上記実施例6では、NMOSトランジスタ B譲域にのみ低抵抗シリサイド層としての丁iSi2層12を形成し、NMOSトランジスタ A額域にはシリサイド層は形成しない。また、従来の様に丁iSi2層12形成額域とボ形成額域とで、ソース・ドレイン領域10の不純物分布が異なることなく、丁iSi2層12形成額域とで、ソース・ドレイン領域10上の丁iSi2層12の面積が減少することもない。さらに、ホトレジスト膜17除土時に、後工程で残存させる丁i層11a上にはSi3N4層24aが優かれているため、丁i图11aがH2SO4/H2O2に晒されることなく侵食が防止できる。

【0066】なお、この場合も上記実施例4と同様にSi3N4層24はH2SO4/H2O2に対して耐性のある他の材料であっても良い。

[0067]また、ホトレジスト膜17の種類によりその除去に $H_2SO_4/H_2O_2$ を用いない場合、あるいはT : B11以外の $H_2SO_4/H_2O_2$ に耐性を有する金属層を用いる場合は、S :  $3N_4$ B24を用いる必要はなくレジストマスク17を用いて直接金属層をエッチングできる。

【0068】また、上記実施例1~6では、NMOSトランジスタについて近べているが、PMOSトランジスタでも良いことは明らかであり、しかも、ホトレジストタでも良いことは明らかであり、しかも、ホトレジストタでも良いことは明らかであり、しから、ホトレジストタでも良いではされる低粧売なTiSi2圏12邦形成領域(またはTixNySizキシング圏19形成領域)の生物圏の中でTiSi2圏12形成領域と非形成領域(またTixNySizキがング圏19形成領域)に分けでも良い。

【0069】実施例7、次に、上述した様な低抵抗シリサイド層の形成領域と非形成領域(または高抵抗シリサイド層の形成領域)とを選択的に設けた半導体装置を入出力保護回路に適用した例を示す。図7はこの発明の実施例7による半導体装置を入出力ドライベについて示したもので、図7(a)は等価回路図、図7(b)は図7

5層、33は外部 BADと接続されるドレイン領域29m、30m上に形成された高板ボシリサイド圏としてのTi×NySizミキシング層である。

続の為のコンタクトホール、32はゲート電極28上およびソース・ドレイン領域29、30上のLiS!

ものためる。 ゲート電極28上で、TixNySizミキシング圏3 る。その他、ソース・ドレイン領域29、30上および ンタクトホール31部にはTiSi2層32が形成され また、ソース・ドレイン領域29、30に形成されるロ 成し、外部PADへの接続の為のロンタクトホールA3 もPMOSトランジスタ25のドレイン領域29gに形 続される金属配線圏:2 7 bのコンタクトホールB31b シング層 3 3 を環状に形成する。また入力ドライバに接 30aに形成し、それを囲む様にTixNySizミキ よびNMOSトランジスタ26のドレイン領域29a、 ンタクトホールA31aをPMOSトランジスタ25お バ、その逆の時に入力ドライバとなる。図7(b)に示 明すると、入力AがL、入力BがHの時に出力ドライ 3を形成しない領域には、TiSi2層32を形成する 1 a よりもゲート電極28から離れた位置に配設する。 す様に、外部PADに接続される金属配線層 2.7 a.のコ 【0070】図7(a)における等価回路図を簡単に説

機能も向上する。また、外部 PADへの接続の為のコン のロンタクトホールB3Ibよりも同一 ドワイン領域 2 タクトホールA31aを、入力ドライバへの接続のため よる接合破壊が防止され、またサージに対する入力保護 記サージをドワイン領域29a、 3.0 a 底画のダイギー NySizミキシング層33が存在することになり、上 線層27bに到達するまでの間に、必ず高抵抗なTix ジが、接合破壊を起いし易いドレイン領域29a、30 を形成することにより、外部PADから入力されるサー 30 a 上に高抵抗なT i x N y S i z ミキシング層 3 3 タクトホールA31aを囲む様にドレイン領域29a、 抗を低減させる。また外部PADへの接続のためのコン なTiSi2層 3:2 上に形成する事によりコンタクト抵 ドから有効に逃がすことができる。これによりサージに a のコーナーあるいは入力ドライバに接続される金属配 【0071】この様に、コンタクトホール31を低柘板

9 a.内でゲート電極28に近い位置に形成するため、出 力信号の遅延を低減できる。

b とコンタクトホール 3 1 e で接続される入力ドライバ のゲート電極28a上にTixNySizパギシング層 される金属配線層27aとを連結させ、金属配線層27 イバに接続される金属配線層27bと外部PADに接続 イン領域29a、30a底のダイオードから逃がすこと 接続のためのコンタクトボールA31 a 第におけるドフ まれる様な状態となり、上記サージを、外部PADへの グ層33とにより外部PADから入力されるサージは抄 29a、30a上の高抵抗なTixNySizミキシン 抗なTixNySizミキシング層33とドレイン領域 33を形成したものである。ゲート電極28a上の高拓 以下に示す。この実施例では、図に示す様に、入力ドラ 回路を別のレイアウトで実現したものを図るに基心いて 【0072】実施例8.次に上記実施例1で示した等価

結させたため、ドワイン領域29a内のロンタクドホー ドレイン領域29 aの面積が低減でき、接合容量が削減 ルA3TaとコンタクトホールB31bは共通となり a と入力ドライバに接続される金属配線層27bとを連 するとともに、外部PADに接続される金属配線層 27 [0073] このため、上記実施例7と同様な効果を有

層32とを用いたが、上記実施例6で示した様に、T 良く、またTi以外の他の金属のシリサイド層を用いて 上にシリサイド層を形成しない事により高抵抗にしても 一ト電極28上またはソース・ドレイン領域29、30 ×NySizミキシング層33を形成する代わりに、ゲ ixNySizミギシング層33と低抵抗なTiSi2 【0074】なお、上記実施例7、8では、高抵抗なT

**レメードドエッジ部分近傍 3 5 からのリーク 臨流が氏滅** y S.i z ミキシング層 3.3 を形成しない様にしたため 実幅回 9 Cはフィールドエッジ部分近傍 3 5 II T i x N 傷を与えるとリーク電流の原因となる。すなわち、上記 薄い酸化膜が形成されている。このためTixNySi 3を形成しない。フィールドエッジ部分近傍35は、分 ッジ部分近傍35にはTixNySizミキシング層3 ルA3 T a を囲む様にドレイン領域 2.9 a 、 3.0 a 上に と同様に、外部PADへの接続のためのコンタクトホー 図9に基づいて以下に示す。図に示す様に上記実施例7 オン)注入によってフィールドエッジ部分近傍 3 5 に損 z パキツング層 3 3形成のためのNイオン(またはOイ 離用フィールド絶縁膜 3<sup>,</sup>4 形成時のパー メビークにより ープで絶縁膜 3.4 との趙界部近像としてのフィールドエ TixNySizミキシング層33を形成するが、フィ 【0.0.75】実施例9.次に、上記実施例7の変形例を 0076

> め、回路設計上の自由度が向上し、信頼性の高い半導体 イオンが導入された高抵抗シリサイド層で構成したた り形成されたシリナイド層の一部をNイギンあるいはO 【発明の効果】この発明によると、サリサイド技術によ

の領域では低抵抗シリサイド層が形成され、上記の様な オンを注入する工程とを行うため、Nイオン(またはO 等が防止され半導体装置の信頼性が向上する。 PN接合近辺にまで深く達することはなく、接合リーク 〇イホンを注入後、金属層を堆積するため、金属原子が ドウォールの為に減少して抵抗を増大させることもな なく、さらに低抵抗シリサイド層の面積が、余分なサイ **た、ソース・ドワイン領域の不純物分布が異なることは** イオン(または0イオン)注入領域とそれ以外の領域 効果を有する半導体装置が容易に製造できる。また、N イオン) 注入領域では高抵抗シリサイド層が、それ以外 レジストマスクを用いて所定領域にNイオンまたはOイ びソース・ドレイン領域形成後に、サリサイド工程と、 【0078】また、この発明によると、Nイオンまたは く、高速でさらに信頼性の高い半導体装置が得られる。 【0077】また、この発明によると、ゲート電極およ

ホットキャリア耐性を変動させるのを防止し、半導体装 置の信頼性が向上する。 後、NイオンまたはOイオンを注入するため、Nイオン 【0079】また、この発明によると、金属層を堆積 (または0イオン) が半導体基板に深く拡散して素子の

イド技術によりシリサイド化させた後、Nイオンまたは 少して製造の弦母が減少する。 0イオンを注入するため、マスク工程以降の工程数が減 【0.080】また、この発明によると、金属層をサリサ

層をゲート電極上およびソース・ドレイン領域上に選択 予め後く形成しておくことができ、接合容量が低域でき 成長させたため、ソース・ドレイン領域を半導体基板に 【0081】また、この発明によると、エピタキシャル

去にH2SO4/H2O2を用いる場合でも、Tiのシリサ  $H_2SO_4/H_2O_2$ にT i 層が晒されることなく、T i 層 を用い、丁:層上にH2SO4/H202に耐性を有する保 イド層を信頼性良く形成できる。 が侵されるのが防止できる。このためレジストマスク深 護膜を形成するため、レジストマスクの残渣除去の際に 【0082】また、この発明によると、金属層にTi層

が向上し、信頼性の高い半導体装置が容易に得られる。 成領域と非形成領域を設けるため、回路設計上の自由度 びソース・ドレイン領域形成後に金属層を所定領域に選 r、ソース・ドワイン領域の不純物分布が異なることな 択的に形成した後シリサイド化させて、ゲート電極上お LUソース・ドレイン領域 Hに低抵抗シリヤイド層の形 【0:08:3】また、この発明によると、ゲート電極およ

> 信頼性良く形成できる。 O4/H2O2に晒されて侵されることがない。この様 護膜を形成し、この保護膜をレジストマスクを用いてい 合でも、Ti層の侵食を防止して低抵抗シリサイド層を ッチングする。このためレジストマスク除去時に後工程 に、レジストマスク除去にH2SO4/H2O2を用いる場 で残存させるTi層は保護膜で覆われているためH2S ターニングし残存した保護膜をマスクとしてTi層をエ を用い、Ti層上にH2SO4/H2O2に耐性を有する保 ドウォールの為に減少して抵抗を増大させることもな く、高速でさらに信頼性の高い半導体装置が得られる。 【0084】また、この発明によると、金属層にTi層

確実に容易に実現できる。 i3N4層を用いるため上述した様な保護膜による効果を 【0085】また、この発明によると、保護膜としてS

性の高い半導体装置が得られる。 防止され、サージに対する入力保護機能の向上した信頼 えるのが防止できる。このためサージによる接合破壊が るサージが嵌合破壊を起いし易いソース・ドワイン領域 に南抵抗領域を形成したため、外部パッドから入力され 続される導電層上に、コンタクトホール部を囲んで環状 (導電層) のコーナーや内部回路に到達して悪影響を与 【0.086】また、この発明によると、外部パッドに接

信号の遅延が低減された、高速で信頼性の高い半導体装 れ、サージに対する入力保護機能が向上し、しかも出力 達するのが防止され、サージによる接合破壊が防止さ 領域のコーナー、および入力ドライバのゲート電極に到 外部パッドから入力されたサージが、ソース・ドレイン ンタクトホールBに対してゲート電極側に配設したため に高抵抗領域を形成し、しかもコンタクトホールAをコ の接続の為のコンタクトホールB部と、の間および周囲 コンタクトホール A部と、入力ドライバのゲート電極へ シース・ドワイン領域上れ、外部パッドへの接続の端の 【0087】また、この発明によると、出力ドライバの

容量の低減した、高速で信頼性の高い半導体装置が得ら し、しかもソース・ドレイン領域の面積低域により接合 合破壊が防止され、サージに対する入力保護機能が向上 電極上とに高抵抗領域を形成したため、サージによる接 出力ドラインのソース・ドライン温み上のロンタクトや 域、および入力ドライバのゲート電極が順次接続され ール部周囲と、配線層と接続する入力ドライバのゲート た、外担パッド、田力ドライスのソース・ドワイン騒 【0088】また、この発明によると、連結した配線層

抗シリサイド層を形成しないため、フィールド絶縁膜と の境界部近傍において、NイオンまたはOイオンの住入 ン領域上で、レイールド絶縁膜との境界部近傍には高塔 【0089】また、この発明によると、ソース・ドレイ

による損傷が防止でき、接合リーク等の劣化が防止さ

(12)

へ、さらに、低抵抗シリサイド層の面積が、余分なサイ

れ、さらに信頼柱が向上する。 【図面の簡単な説明】

【図1】 この発明の実施例1による半導体装置の構造

および製造方法を示す断面図である

【図2】 この発明の実施例2による半導体装置の製造

方法を示す断面図である 【図3】 この発明の実施例3による半導体装置の製造

方法を示す断面図である。

方法を示す断面図である。 図4 この発明の実施例4による半導体装置の製造

方法を示す断面図である。 【図6】 この発明の実施例6による半導体装置の構造 【図5】 この発明の実施例5による半導体装置の製造

および製造方法を示す断面図である

回路図およびレイアウトパターン図である。 【図7】 この発明の実施例7による半導体装置の等価

アウトパターン図である。 【図8】 この発明の実施例8による半導体装置のレイ

アウトバターン図である 図10 【図9】 この発明の実施例9による半導体装置のレイ 従来の半導体装置の製造方法の一工程を示

す断面図である。 図11 従来の半導体装置の製造方法の一工程を示

す断面図である。 【図12】 従来の半導体装置の製造方法の一工程を示

†断面図である。 【図13】 従来の半導体装置の製造方法の一工程を示

**す断面図である。** 【図14】 従来の半導体装置の製造方法の一工程を示

|断面図である。 【図15】 従来の半導体装置の製造方法の一工程を示

**十断面図** たある。 【図16】 従来の半導体装置の製造方法の一工程を示

**ナ断面図である。** 【図17】 従来の半導体装置の製造方法の一工程を示

す断面図である。 【図18】 従来の半導体装置の製造方法の一工程を示 す断面図である。

図なめる。 【図19】 従来の半導体装置の問題点を説明する断面

|図20|

|図21] 従来の半導体装置の製造方法を示す断面図 従来の半導体装置の製造方法を示す断面図

なるる

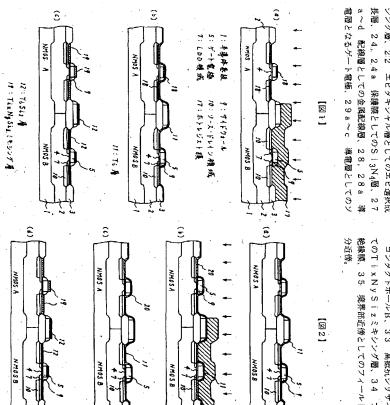
【符号の説明】

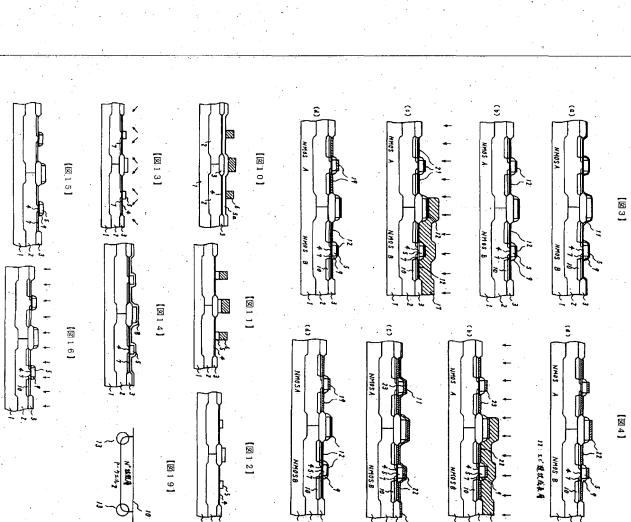
ース・ドレイン領域、1:1, 1:1a 金属層としてのT DD領域、9 サイドウォール、10 導電層となるソ 1層、12. 纸抵抗シリサイド層としてのTiSi 半導体基板、5 導電層となるゲート電極、7 L

<u>=</u>

2層、17 レジストマスクとなるホトレジスト膜、1 長層、24』 24 a 保護膜としてのSi<sub>3</sub>N4層、27 9. 高抵抗シリサイド層としてのTixNySizミキシング層、2.2 エピタキシャル層としてのエピ選択成

絶縁膜、35 境界部近傍としてのフィールドエッジ部 てのTixNySizミキシング層、34 フィールド ・ドレイン領域、31a コンタクトホールA、31b コンタクトホールB、33 高抵抗シリサイド層とし ース・ドレイン領域、30a~c 導電層となるソース





[⊠ 8]

[図9]

, 31a (31b)

280:ゲート党極 かかれべ、

